

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07249998 A

(43) Date of publication of application: 26 . 09 . 95

(51) Int. Cl

H03M 13/12
G11B 20/10
G11B 20/18
G11B 20/18
G11B 20/18
H03H 17/00

(21) Application number: 06324274

(22) Date of filing: 27 . 12 . 94

(30) Priority: 28 . 02 . 94 US 94 203413

(71) Applicant: INTERNATL BUSINESS MACH CORP <IBM>

(72) Inventor: COKER JONATHAN D
DOLIVO FRANCOIS B
GALBRAITH RICHARD L
HERMANN RETO J
HIRT WALTER
VANNORSDEL KEVIN

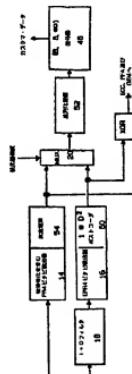
(54) MAXIMUM LIKELIHOOD DATA DETECTION
METHOD AND DEVICE THEREFOR

(57) Abstract:

PURPOSE: To provide an optimum data detection method by setting a channel encoding bit cycle and a run length limit code rate, etc., to specified conditions relating to the detection means of partial response maximum likelihood data or the like in a direct access storage device.

CONSTITUTION: A binary partial response class 4 (PR4) equivalent sample is converted by a digital (1+D) adder or a filter circuit 18 and EPR4, 5 level samples are obtained and supplied to an EPR4 viterbi detector 16. Signals filtered by a digital filter 44 are supplied to a PR4 viterbi detector 14. Also, they are supplied through an addition circuit 18 to the EPR4 viterbi detector 16 as well. The viterbi detectors 14 and 16 are connected to a decoder 46 and a maximum likelihood detection processing in data read-back is completed.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2718424号

(45)発行日 平成10年(1998)2月25日

(24)登録日 平成9年(1997)11月14日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 03 M 13/12			H 03 M 13/12	
G 11 B 20/18	5 2 0		G 11 B 20/18	5 2 0 E
	5 3 4			5 3 4 A
	5 7 0			5 7 0 F

請求項の数5(全17頁)

(21)出願番号	特願平6-324274	(73)特許権者	390009531 インターナショナル・ビジネス・マシンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (緑地なし)
(22)出願日	平成6年(1994)12月27日	(72)発明者	ジョナサン・ダーレル・コッカ アメリカ合衆国10506、ミネソタ州ロチエスター、フィフス・ストリート・ノース・イースト 1605
(65)公開番号	特開平7-249998	(74)代理人	弁理士 合田 漢 (外2名)
(43)公開日	平成7年(1995)9月26日	審査官	橋葉 和生
(31)優先権主張番号	2 0 3 4 1 3		
(32)優先日	1994年2月28日		
(33)優先権主張国	米国(US)		

最終頁に続く

(54)【発明の名称】 最尤データ検出方法及び装置

(57)【特許請求の範囲】

【請求項1】デジタル・サンプルを提供するアナログ・デジタル変換器(ADC)に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含むパーシャル・レスポンス(PR)・データ・チャネルにおける最尤データ検出方法であって、前記ADCから複数のデジタル・サンプルを受信するステップと、前記受信デジタル・サンプルをクラスIVパーシャル・レスポンス(PR-4)・サンプルを提供する第1のフィルタに供給するステップと、前記受信デジタル・サンプルをクラスIVパーシャル・レスポンス(PR-4)・サンプルを提供する第1のフィルタを通して前記PR-4サンプルを拡張クラスIVパーシャル・レスポンス(EPR4)サンプルを提供する(1+D)デジタル・フィルタである第2のフィルタに供給するステップと、

前記第1のフィルタを通過したPR4サンプルを第1のデータ検出器に供給するステップと、前記第2のフィルタを通過したEPR4サンプルを第2のデータ検出器に供給するステップと、前記ADCから受信したデジタル・サンプルに応答して所定のパラメータを識別するステップと、前記識別された所定のパラメータに応答して、前記第1及び前記第2のデータ検出器の少なくとも1つを選択するステップと、

を含む、最尤データ検出方法。

【請求項2】前記第1のフィルタを通過したPR4サンプルを前記第1のデータ検出器に供給する前記ステップが、前記PR4サンプルをPR4ビタビ検出器に供給するステップを含む、請求項1記載の最尤データ検出方法。

【請求項3】前記第2のフィルタを通過したEPR4サンプルを前記第2のデータ検出器に供給する前記ステップが、前記EPR4サンプルをEPR4ビタビ検出器に供給するステップを含む、請求項2記載の最尤データ検出方法。

【請求項4】デジタル・サンプルを提供するアナログ・デジタル変換器(ADC)に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含むデジタル・データ・チャネルにおけるデータ検出装置であつて、

前記ADCに結合され、前記ADCから複数のデジタル・サンプルを受信してクラスIVバーシャル・レスポンス(PR4)デジタル・サンプルを与える第1のフィルタと、

前記第1のフィルタに結合され、前記第1のフィルタを通過したPR4デジタル・サンプルを受信して拡張クラスIVバーシャル・レスポンス(EPR4)デジタル・サンプルを与える第2の(1+D)フィルタと、

前記第1のフィルタに結合され、前記第1のフィルタを通過したデジタル・サンプルを受信するクラスIVバーチャル・レスポンス(PR4)・ビタビ検出器と、

前記第2の(1+D)フィルタに結合され、前記第2の(1+D)フィルタを通過したデジタル・サンプルを受信する第2のデータ検出器と、

前記ADCから受信されたデジタル・サンプルに応答して所定のパラメータを識別する手段と、

前記識別された所定のパラメータに応答して、前記クラスIVバーシャル・レスポンス(PR4)・ビタビ検出器及び前記第2のデータ検出器の少なくとも1つを選択する手段と、

を含むデータ検出装置。

【請求項5】前記第2のデータ検出器が拡張クラスIVバーシャル・レスポンス(EPR4)・ビタビ検出器である、請求項4記載のデータ検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般にデータ検出方法及び装置に關し、特に、直接アクセス記憶装置(DASD)におけるバーシャル・レスポンス最尤(PRML: partial-response maximum-likelihood)、拡張バーシャル・レスポンス最尤(EPRML: extended partial-response maximum-likelihood)、及びビタビ(Viterbi)・データ検出に関する。

【0002】

【従来の技術】最尤シーケンス検出技術によるバーシャル・レスポンス信号伝達が、デジタル・データ通信及び記憶アプリケーションにおいて知られている。高データ密度及び高データ・レートは、PRMLチャネルを使用して、ディスク上のデジタル・データを読み書きすることにより達成される。

【0003】PRMLチャネルを含む既知の市販のディスク・ドライブは、データ・レートの適切な選択により、最尤シーケンス検出(MLSD: maximum-likelihood sequence detection)またはPRMLを有する2進ペーシャル・レスポンス・クラス4(PR4)信号伝達が、現在使用される線記録密度において、ほとんど最適に近い性能を提供する事実を基礎とする。通常、磁気記録チャネルは、Tをチャネル符号化ビット周期、Rをコード・レート、及び p_{bit} をチャネルのステップ応答の50%レベル幅とする、 $0 < T/R < p_{\text{bit}} < 1$ 、 $6T/R$ で動作する。例えば、 $p_{\text{bit}} = (\beta_{\text{bit}}/\pi R) T$ であり、ここで、 β_{bit} は規格化ユーザ・データ・レートを表し、Rは各機種に特有のコード・レートであり、例えばPRMLでは $R = 8/9$ が有利である。

【0004】デジタル・フィルタ等価を有するPRMLにおける等価フィルタによるノイズ増大に起因する性能損失は、チャネルが $p_{\text{bit}} > 1.6T/R$ などの線記録密度で動作するとき、益々重要となる。結果的に、PRMLはより大きな線記録密度において、製品仕様に適合しなくなる。

【0005】主に線密度の増加による領域記録密度の増加は、競合製品仕様に適合するために、PRMLチャネルの置換またはより有効な機構による補足を必要とする。しかしながら、完全に新規なチャネル・アーキテクチャを開発及び具体化することは、複雑且つ高価な作業であり、今日の費用有効且つ早期市場投入の要求に反することになる。

【0006】米国特許第4786890号は、ランレンズ制限コード(RLL)を使用するクラスIV PRMLチャネルを開示する。開示されるクラスIVバーシャル・レスポンス・チャネル多項式は $(1-D^2)$ であり、ここで、Dは1ビット間隔遅延演算子であり、 D^2 は2ビット間隔遅延演算子の遅延であり、チャネル応答出力波形は、入力波形からそれを2ビット間隔遅延させた同一の波形を差し引くことにより記述される。8ビット2進データを9ビット・コード・シーケンスから成るコードワードに符号化するために、 $(0, k=3/k_1=5)$ PRML変調コードが使用され、ここで、コード・シーケンス内で許可される連続0の最大数kは3であり、全ての偶数または全ての奇数シーケンス内の連続0の最大数k1は5である。

【0007】米国特許第5196849号は、クラスIV PRMLチャネルにおいて使用される上記最大数及びランレンズ制限コードを有するレート8/9のブロック・コードを開示する。

【0008】トレリス(Trellis)符号化技術は、ノイズ性のまたは状態の悪いチャネルにおいて要求される符号化利得を提供するために使用される。米国特許出願第4888775号及び同第4888779号は、PRMLチャネルにおけるトレリス符号について述べおり、こ

れは PRML チャネル上のデジタル・データの伝送において、多大に改善された符号化利得を提供する。

【0009】米国特許第 4,609,907 号は、パーシャル・レスポンス及びランレングス制限符号化を用いての帯域幅圧縮の方法を述べている。第 1 の 1-D チャネルが、1+D チャネルと共に刻時データの検出のために使用される。

【0010】拡張 (EPR4) 等価、タイミング及び利得制御を含む従来の PRML チャネル設計は、PRML チャネルに比較してその複雑度が著しく飛躍する。従来の実施方法では、PRML 及び EPRML は共通の機能ブロックをほとんど共用しない。従来のアプローチは、サイズ、電力及びスピードの点で受入れることができないものと考えられる。EPRMLにおいて、5 レベル構造及びタイミング・ループに要求される計算は、より複雑であり低速である。また 5 レベル・タイミング・グレジエント計算は、PRML の場合の 3 レベル計算よりも良好ではないものと思われる。EPRML は 8 状態非インタリード・ビット検出器を必要とし、これは従来方法では、サイズ、能力及びスピードの点で受入れることができない。従って、受入れ可能なサイズ、コスト及び能力を許容する EPRML を提供することが望まれる。

【0011】線密度増加の実現のために、全ディスク半径に渡り最適な性能を提供するように、EPRML/PRML 組合せ系を具体化することが望ましい。

【0012】

【発明が解決しようとする課題】本発明の第 1 の目的は、従来構成の多くの欠点を克服するデータ検出方法及び装置を提供することである。

【0013】

【課題を解決するための手段】本発明の目的及び利点は、デジタル・サンプルを提供するアナログ・デジタル変換器 (ADC) に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含む、パーシャル・レスポンス (PR) ・データ・チャネルにおける最尤値*

チャネル選択と信号解析の関係

チャネル・タイプ	コード・レート	: R
ピーク検出 (1, 7)	2 / 3	
P R 4 (PRML)	8 / 9	

R

EPR4 (EPRML) 8 / 9

【0016】EPRML/PRML 組合せ系は、容量と性能の両方を最大化する新たなアプローチを生成する。ディスクの外径 (OD) に向けて PRML 検出器を使用し、ディスクの内径 (ID) に向けて EPRML 系を使用し、全半径又はスライド・ゾーン・バンド・レコーディング (ZBR : zoned band recording) に渡りチャネル・データ・レートを最大レートに保持することにより、多大な容量の増加 (例えば 1.5% 程度) を獲得

*一タバ検出のための方法及び装置により達成される。複数のデジタル・サンプルが ADC から受信される。受信されたデジタル・サンプルは、選択された第 1 のフィルタ及び選択された第 2 のフィルタに供給される。第 1 のフィルタによりフィルタリングされたデジタル・サンプルは、第 1 のデータ検出器に供給され、第 2 のフィルタによりフィルタリングされたデジタル・サンプルは、第 2 のデータ検出器に供給される。所定のパラメータが識別され、識別された所定のパラメータに応答して、第 1 及び第 2 のデータ検出器の少なくとも 1 つが選択される。

【0014】

【実施例】図 1 及び図 2 を参照すると、それぞれパーシャル・レスポンス・クラス 4 (P R 4) 及び拡張パーシャル・レスポンス・クラス 4 (EPR4) にともとづき、プラスとマイナスの 2 進入力を仮定したときのパーシャル・レスポンス最尤 (PRML) チャネルのパルス応答を表すグラフが示される。PR4 の系多項式は $(1 - D^2)^2$ である。PR4 応答の固有展開は、系多項式 $(1 - D^2)^2$ $(1 + D) = (1 + D - D^2 - D^4)$ を有する拡張パーシャル・レスポンス・クラス 4 (EPR4) 応答である。図 1 及び図 2 は、1 レンジス書き込み電流バルスによる、それぞれ PR4 及び EPR4 の等価リードバック波形を表す。等価 EPR4 サンプルでは、PR4 の場合の 3 の 3 レベル (+2, 0, -2) に対して、5 つのレベル (+4, +2, 0, -2, -4) において発生する。最尤検出がこれらのパーシャル・レスポンス系のいずれにおいても適用される。

【0015】本発明によれば、EPR4 または PR4 の正しい選択が磁気設計ポイントに依存する。検出方法だけが、改善されたエラー率性能に対応して変更される。表 1 に示されるように、EPR4 または PR4 が磁気設計ポイントの範囲では最適な分析解決である。表において、T はチャネル符号化ビット周期、R はランレングス制限コード・レート、及び p_{±10} はチャネルのステップ応答の 5.0% レベル幅である。

【表 1】

この範囲の最適分析解決	
$p_{\pm 10} \leq 0.8 T/R$	
$0.8 T/R < p_{\pm 10} \leq 1.6 T/R$	

$$1.6 T/R < p_{\pm 10}$$

することが可能となり、ファイルの全体的なデータ・レート性能も改善される。このアプローチは有効である。なぜなら、検出器の型がチャネルの磁気設計ポイントに適合させ、それにより線密度の増加分よりも少なく、エラー率が悪化するからである。

【0017】予備試験データによれば、EPRML データ検出は PRML データ検出に比較して、ADC の飽和、MR の非対称性及び補正無しの非リニア・ビット・

シフトに対して、より敏感である。E PRML/PRMLの組合せによれば、既知のZBR系が提供する性能及び容量を最大に上回ることができる。線密度が増加する分、チャネル・エラー率が常に悪化すると仮定すると、ZBRは容量の増加を提供する。ZBRからの容量利得はディスクのIDに向けて、データ・レート性能が低下するという不利を常に有する。

【0018】図3及び図4を参照すると、本発明による直接アクセス記憶装置のパーシャル・レスポンス記録チャネル10における、パーシャル・レスポンス最尤(P RML)及び拡張パーシャル・レスポンス最尤(E PRML)データ検出の組合せのブロック図が示される。2進記号ストリーミング形式などによる書き込みカスタマ・データが、符号器12に供給される。符号器12は予め定義されたラングレス制限またはコードワードを有する変調符号化出力を生成し、これは(1-D)演算により記述されるクラスI Vパーシャル・レスポンス(PR)・チャネルへの入力として作用する。図示のように、本発明は高密度デジタル磁気記録装置における改善されたデータ検出のために、PRMLチャネルにおけるE PR4ビタビ検出(E PRML)の新規アーキテクチャ及び具体化を提供する。

【0019】図4を参照すると、本発明の新アーキテクチャは、PRML及びE PRMLの組合せ系が、PR4ビタビ検出器14またはE PR4ビタビ検出器16のいずれかと共に、図3に示される全ての機能ブロックを共用することを可能にする。このアーキテクチャは、単純な(1+D)デジタル加算器またはフィルタ回路18、E PR4ビタビ検出器16、及びPR4ビタビ検出器14またはE PR4ビタビ検出器16の出力を選択す

る1ビット・マルチブレクサ20を含むだけで、PRMLチャネルへのE PRML機能の追加を可能にする。

【0020】シリアルザイザ24及びブレコーダ26が符号器12に統して設けられる。ブレコーダ26は1/(1 ADD1-D)演算により示され、ここで、Dはユニット遮断演算子であり、ADD1はモジュロ2加算を意味する。ブレコーダ26に結合されるPRML前比較28は、書き込みトリガ回路30に変調2進バ尔斯信号を供給し、書き込みトリガ回路30は、ディスク表面への書き込みのための変調書き込み電流を供給する。書き込みトリガ回路30は1/(1 ADD1-D)演算により示されるブレコーダ26は書き込みトリガ回路30と共同で、E PRMLにおける非標準ブレコーダ1/(1 ADD1-D)を形成し、これは標準E PRMLブレコーダに比較して、エラー事象レンジ及びタイプI記号エラーの数を低減することがわかっている。

【0021】アナログ読み出し信号が、ヘッド及びディスク・ブロック32において獲得される。読み出し信号はアーム電子回路ブロック34を介し、可変利得増幅器(VGA)36に供給される。増幅された読み出し信号はロー

バス・フィルタ38に供給され、これは好適にはアログデジタル変換器(ADC)40の飽和を回避するために高域周波数を増幅する。ローバス・フィルタを通して読み出し信号は、ADC40によりデジタル形式に変換される。ADC40は、例えば64段階の6ビット・サンプル値を提供する。生のサンプル及びノイズが、ラインBで示されるADC40の出力に提供される。

【0022】ADC40のサンプルは、タイミング回復及び利得制御42、並びに10タップ有限インバ尔斯応答(FIR)デジタル・フィルタなどのデジタル・フィルタ44に供給される。タイミング回復及び利得制御42は、VGA36に利得制御信号を供給し、タイミング制御信号をADC40に供給する。E PRML/PRML組合せ系10は、ラインAで示されるデジタル・フィルタ44の出力において提供されるPR4等価サンプル及びノイズに対して、共通の3レベル利得及びタイミング・ループを使用する。PR4等価サンプルにもとづく利得及びタイミング・ループは単純であり、E PR4サンプルに対する5レベル・ループよりも良好であると考えられる。

【0023】PR4等価サンプルは、デジタル(1+D)加算器またはフィルタ回路18により変換され、E PR4・5レベル・サンプルが得られ、これがE PR4ビタビ検出器16に供給される。デジタル・フィルタ44によりフィルタリングされた信号は、PR4ビタビ検出器14に供給され、また加算器回路18を介して、E PR4ビタビ検出器16にも供給される。PR4ビタビ検出器及びE PR4ビタビ検出器14及び16は、復号器46に結合されて、データ・リードバックにおける最も(ML)検出処理が完了する。

【0024】E PR4ビタビ検出器16に結合されるボストコード50は、1 ADD1-D²演算を提供する。並列機構52は、マルチブレクサ20からの選択出器出力を復号器46に結合する。E PRMLデータ検出またはPRMLデータ検出の使用はソフトウェアにより選択可能であり、1ヘッドまたは1バンド当たりの最適化にもとづき選択される。またデータ回復プロセッシャ(DRP)の間、より良好な回復のために検出器14または16のいずれかが使用されてよい。

【0025】E PRML/PRML組合せ系は、共通の(8, 6, ∞)、8/9レート符号器12及び(8, 6, ∞)、8/9レート復号器46を使用する。このコードはPRML及びE PRML系の両方に互換である、(8, 6, ∞)、8/9レート・コードを有するE PRML系は、全ての最小距離エラー事象において、最大2つの隣接コードワードのエラーを生成する。この特性はこのコードを使用するPRML系に等価であり、従つて、E PRML/PRML組合せ系は、通常、追加のECC要求を必要としない。

【0026】PR4チャネルは2進データがディスクに

書込まれる以前に、3 レベルの符号化を適用する。それらはすなわち、1) エラー訂正符号化 (ECC)、2) ランレングス制限 (RLL) 符号化、及び3) $1/(1 \text{ ADD}; D^1)$ 前符号化である。後者は、図3に示されるブレコーダ2-6及び書込みトリガ3-0における2つの $1/(1 \text{ ADD}; D)$ ステージにおいて具体化される。ここで、前符号化はPR4信号形式に適合し、R L Lコードの設計の単純化を図る。また前符号化リードバック信号の極性に関するデータの曖昧さを回避する。ECCの設計基準は、後符号化または逆の前符号化データ・ストリームにおける期待エラー・バーストの長さに相当する。

【0027】2つのタイプ (タイプI及びタイプII) のいわゆる最小 (ユニックリッド) 距離エラー事象 (MD E) が、E PR4ビタビ検出器のエラー・バースト振舞いを管理する。タイプIは、PR4ビタビ検出器のエラー・バースト振舞いを決定する。しかしながら、PR4で使用される $(8, 6, \infty)$ 制限R L Lコードと共に、最も長いタイプIIエラー・バーストよりも短く、稀である。更にE PRMLにおける非標準の前符号化は、タイプIエラー・バーストにおける記号エラーの数を、4から2に減らす利点を有する。

【0028】PRチャネル1-0において使用される所与の符号化機構では、特にPR4前符号化を利用することにより、図4の後符号化データ・ストリーム $((8, 6, \infty), \text{入力})$ 復号器4-6におけるE PR4ビタビ検出におけるタイプI MD Eにより生じる最長エラー・バーストが15記号長となり、最初と最後の記号がエラーとなる。これは検出器1-4によるPR4ビタビ検出の場合と同じ長さである。更にタイプII MD Eにより生じるエラー・バーストは高々12記号長であり、最初の2つ及び最後の2つの記号がエラーとなる。 $(8, 6, \infty)$ コードでは、これはMD Eバーストの場合に、PR4ビタビ検出またはE PR4ビタビ検出のどちらが使用されるかに関係無し、高々2つの隣接9ビット・コードワードがエラーとなることを意味する。

【0029】E PR4ビタビ検出の具体化は、8ステートのサバイバ・バス・メモリ (SPM) の具体化を必要とし、その最小有限深度はタイプI MD Eの最大期待長により決定される。要求されるステージ数は最小12であるが、例えば15、16または17のステージが使用されてもよい。追加のステージはノイズ状態におけるエラー率の改善を提供する。予測される記号シーケンスは図3及び図4のカスタマ・データであるが、統計的ビタビ・アルゴリズムは前符号化データ・シーケンスを予測する。原則的には、後符号化はビタビ検出器に埋込まれるか、或いは明示的な後符号化により達成される。通常、埋込み式の後符号化は、PRMLチャネル内のPR4ビタビ検出器において実施される。明示的な後

符号化は、E PRMLにおけるE PR4ビタビ検出器1-6の好適な分析解決である。なぜなら、これはSPM及び後符号化の機能の具体化において、最大の全体的節約を可能にするからである。

【0030】このアーキテクチャは、電力節約のためにPR4ビタビ検出器1-4またはE PR4ビタビ検出器1-6のパワーオフ状態或いは遊休状態を許容する (他は実行状態)。或いはビタビ検出器1-4及び1-6が同時に実行され、排他的論理 (XOR) 5-6により互いに比較されてもよい。この方法は、例えばエラー訂正コード (ECC)、予測故障検出 (PFA) 機能及び汎用エラー測定 (GEM) 機能と共に、両方のオンザフライ (on-the-fly) 式データ回復プロセッサーに有利に含まれる。

【0031】図3に示されるE PR4の統合方法の重要な特徴は、タイミング回復、利得制御及びPR4等価の3つの機能が、データ検出の機能から完全に切り離される点である。10タップ・デジタル・フィルタ4-4の出力に対しては、データ/信号バスの変更は無い。

【0032】1+D加算器または1+Dフィルタ1-8の出力は、E PR4に似たサンプルを供給し、これが更に8状態E PR4ビタビ検出器1-6により処理される。明示的な後符号化がボストコード5-0によって、E PR4ビタビ検出器から獲得されるビット・ストリームに適用される。選択されると、後符号化データ・ストリームが2対1マルチブレクサ (MUX) 2-0を介して、並列化機構5-2に送信される。それ以外では、MUX2-0はPR4ビタビ検出器1-4の出力を並列化機構5-2にパスする。E PR4検出器1-6における決定遅延は、更にバイオペラインにより幾分長くなるので、適切な遅延ブロック5-4をPR4ビタビ検出器の出力に導入することにより、2つの検出期間の決定遅延を効果的に同期することが可能である。この選択的な遅延5-4は、両方の検出器が連続的にパワーアップ状態で並列に動作するとき、完全なオンザフライ式不等検出を可能にする。図4に示されるように、PR4ビタビ検出器1-4及びE PR4ビタビ検出器1-6から獲得された後符号化ビット・ストリームは、XOR機能5-6に供給され、その出力は、2つの検出器が判定を異にする場合に、そのことをECC、PFA及びGEM回路に示すために使用される。

【0033】2つの検出器の同時オペレーションが望まれない場合、未使用的検出器をパワーダウンすることが可能である。この場合、PR4検出バス内の任意選択の遅延5-4及びXOR機能5-6が必要とされない。

【0034】図5は、高密度デジタル磁気記録装置における改善されたデータ検出のための方法の柔軟な統合を可能にするチャネル・アーキテクチャを示す。図5において、図3のラインAで示されるように、デジタル・フィルタ4-4の出力はPR4サンプルであり、これには例えばディスク及び電子回路からのノイズが印加されて、

セレクタ 6 0 に供給される。或いは図 3 のライン B において示される ADC 4 0 の生のサンプル及びノイズ出力がセレクタ 6 0 に供給される。ここで、図 3において、アナログ・ローパス・フィルタ 3 8 及び可変利得增幅器 VGA 3 6 の位置は、必要に応じ交換可能であることを述べておく。

【0035】図 3 至図 5 に示されるアーキテクチャの重要な特徴は、タイミング回復、利得制御及び PR 4 等価の 3 つの機能が、データ検出の機能から完全に切り離される点である。図 5において選択されるデータ検出方法に依存して、2 つの任意選択 A または B のいずれかが検出器の前処理フィルタの実現において、より有利であろう。

【0036】PR 4 ビタビ検出器 1 4 は、デジタル・フィルタ 4 4 により提供される PR 4 サンプルに対して直接作用し、デジタル・フィルタ出力には追加の信号形成は要求されない。E PR 4 (拡張 PR 4) ビタビ検出器 1 6 は、デジタル・フィルタ 1 8 の出力において得られる(ノイズ性の) E PR 4 サンプルに対して、8 状態検出器として動作する。デジタル・フィルタ 1 8 は転送多項式 1 + D 0 を有し、ノイズ性の PR 4 サンプルがその入力に供給される。(p. 1, 6 T / R) のチャネルでは、PRML と比較した場合に、この E PR 4 データ検出により、多大に良好な性能が獲得される。

【0037】任意の適切な PR (パーシャル・レスポンス) 系では、PR 型フィルタ 6 2 が対応する PR ビタビ検出器 6 4 と一緒に使用される。PRML データ検出器高及び E PRML データ検出機構は、例えば E E PRML などの高順位 PR 系に一般化される。EE PRML は、多項式 $(1 - D^2) / (1 + D) \cdot (1 + D)$ により特徴化され、データ検出がフィルタ 6 2 及び PR ビタビ検出器 6 4 により提供される。この方法は非常に高い記録密度の場合に有利である。PR 型フィルタ 6 2 への入力は、図 5 の任意選択 B において A/D 変換器から獲得されるノイズ性の生のサンプルか、或いは図 5 の任意選択 A においてデジタル・フィルタ 4 4 の出力において得られるノイズ性の PR 4 等価サンプルのいずれかである。

【0038】上述の PR データ検出方法の代わりに、最適検出方法から導出される検出器を使用することが可能である。この方法は、ホワイト化またはホワイトマッチド・フィルタ (WMF) 6 6 を含み、後段にはそれに 対応するビタビ検出器 6 8 が設けられる。この方法では、図 5 に示されるホワイトノイズ化フィルタ 6 6 またはそれと近似のものが、それぞれノイズの増大を生じないか低減する代わりに、記号間干渉 (ISI : intersymbol interference) を導入することになる。ホワイトノイズ化フィルタ 6 6 は、有限長 ISI を導入するように、単に真の WMF を近似する。ホワイトノイズ化フィルタ 6 6 の出力において測定される原因となる全体的な応答が、N + 1 ビット間隔で渡るものと仮定すると、フ

ル・ステートのビタビ検出器 6 8 は 2nd のステートを必要とする。ホワイトノイズ化フィルタ 6 6 への入力は、任意選択 B により選択される生のノイズ性のサンプルか、或いは任意選択 A により選択されるノイズ性の PR 4 等価サンプルのいずれかである。

【0039】ノイズ形成フィルタ 6 6 は、長さ制限の無い ISI を導入するように真の WMF を具体化するか、或いは単に WMF を近似し、有限ではあるが非常に長い ISI を導入する。ノイズ形成フィルタ 6 6 の出力において測定される原因となる全体的な応答は、それぞれ無制限のまたは過度な長さを有し、それにより準最適な状態低減化ビタビ検出器 7 0 が使用されることになる。ステート数を低減したビタビ検出器を使用する多数の機構が知られている。

【0040】前処理フィルタ 7 2 が適応ビタビ検出器 7 4 と共に使用される。最尤子測検出器の適応バージョンが、適応ビタビ検出器 7 4 において使用される。前処理フィルタ 7 2 の入力は、図 5 の任意選択 B により選択されるノイズ性の生のサンプルか、或いは任意選択 A により選択されるノイズ性の PR 4 等価サンプルのいずれかである。このデータ検出方法における基本理念は、ビタビ検出器のメトリック更新方程式を決定するパラメータのセットを、(仮の) 検出器判断により、受信信号サンプルの関数として連続的に適応することである。例えば、汎用適応最尤シーケンス検出器 (GAMLDS) 7 4 は、非リニア歪、タイミング及び利得オフセット、及び等価誤りの任意の組合せの影響を受けた信号を補正する潜在的能力を有する。

【0041】2 つ以上の検出器 1 4, 1 6, 6 4, 6 8, 7 0 及び 7 4 がデータ検出チップ上において具体化され、特殊な検出器がチャネル状態に依存して選択され、オンザフライ式データ回復ロジッシャンの不等検出機構及び拡張予測不良解析 (PFA) 機構が具体化される。選択検出器 1 4, 1 6, 6 4, 6 8, 7 0 及び 7 4 の出力は、図 4 のマルチブレクサ 2 0 及び XOR 5 6 に供給される。

【0042】図 6 は、本発明による順次データ検出オペレーションを表す。ブロック 4 0 0 で示されるように、複数のデジタル・サンプルが ADC 4 0 から受信される。受信されたデジタル・サンプルは、ブロック 4 0 2 で示されるように、選択された第 1 のフィルタ、例えば図 3 のデジタル・フィルタ 4 4 に供給されるか、或いは図 5 のセレクタ 6 0 により選択される任意選択 B により、PR 型フィルタ 6 2、ホワイトノイズ化フィルタ 6 6 及び前処理フィルタ 7 2 に供給される。セレクタ 6 0 により任意選択 A が選択されると、ブロック 4 0 4 で示されるように、図 3 のデジタル・フィルタ 4 4 の出力からのフィルタリングされた PR 4 デジタル・サンプルが選択された第 2 のフィルタ、例えば図 5 の 1 + D フィルタ 1 8、PR 型フィルタ 6 2、ホワイトノイズ化フィル

(7)

タ 6 6、または前処理フィルタ 7 2 に供給される。第 1 のフィルタリングされたサンプルは、ブロック 4 0 6 で示されるように、第 1 のデータ検出器、例えば P R 4 ビタビ検出器 1 4 または E P R 4 ビタビ検出器 1 6 に供給され、第 2 のフィルタリングされたデジタル・サンプルは、ブロック 4 0 8 で示されるように、第 2 のデータ検出器、例えば E P R 4 ビタビ検出器 1 6、フル・ステート・ビタビ検出器 6 8、状態低減化ビタビ検出器 7 0、または適応ビタビ検出器 7 4 に供給される。表 1 にリストされたような所定のパラメータが判断ブロック 4 1 0 で識別される。ブロック 4 1 2 で示されるように、識別される所定のパラメータに応答して、例えば MUX 2 0 への検出器選択入力により、P R 4 ビタビ検出器 1 4 または E P R 4 ビタビ検出器 1 6 が選択され、第 1 及び第 2 のデータ検出器の 1 つが選択される。或いはブロック 4 1 4 で示されるように、識別される所定のパラメータに応答して、例えば図 4 の X O R S 6 により、或いは図 5 の 2 つ以上の検出器 1 4、1 6、6 4、6 8、7 0 及び U 7 4 を選択することにより、第 1 及び第 2 のデータ検出器の両方が選択される。

【0043】図 7 及び図 8 は、多数決投票ユニット及びボストコーダを有する E P R 4 サバイバ・バス・メモリ (S P M) の具体化の原理形式を示す。レジスタ交換実施形式の S P M は、高速 E P R M L アプリケーションの好適な方法である。セレクト信号 S 0、S 1、S 2、S 3、S 4、S 5、S 6 または S 7 が、L で示される 8 個のラップまたはラッ奇・ブロックの対応する 1 つに供給され、更に各メモリ・バス内の M で示される 8 個の各マトリクス・セレクタ入力を駆動する。セレクト信号 S 0、S 1、S 2、S 3、S 4、S 5、S 6 または S 7 は、図 1 1 に示され後述される加算-比較-選択 (A C S) ニュートにより生成される。トレリス・ステート情報を利用することにより、最小要求バス・メモリ長を 1 5 から 1 2 に減少させために、最後のステート・ビットが使用される。特に、これにより P R M L と E P R M L の *

$$t' = \min_{\{a'_s\}} \sum_i [y_i^{E P M} + c - x'_s((a'_s))]^2 \quad (1)$$

【0046】(1) 式の平方を開展した後に、 $(y_i^{E P M} + C)^2$ の項が仮のデータ・シーケンス $\{a'_s\}$ に依存しないので、最小化からこの項を削除すると、ML SD の最小化は次式のように書き直される。

【数 8】

$$\delta_s((a'_s)) = A(-2x'_s((a'_s)) + (4)) \quad (4)$$

【0048】ここで、A は基準化因子である。式 (3) 及び式 (4) により定義される新規の変更メトリック最小化は、図 7 乃至図 1 2 に開示して述べられる E P R 4 ビタビ検出器の設計の基本である。

【0049】表 2 は、式 (4) において式 (2) を使用することにより得られる更分岐メトリックを示す。こ

(7)

*両方が同一のバス・メモリ長を有することが可能になる。S P M の各ステージは、図 7 のステージ 1 及び図 8 のステージ 1 2 に示されるように、ラッ奇の列とマルチプレクサの列を含む。図 4 のボストコーダ 5 0 により提供される明示的な後符号化において、サバイバ・バス・メモリの深さは、体系的エラーを回避するために、好適な実施例で使用される一般的な (8、6, ∞) コードに開示して、少なくとも 1 2 記号である。最終決定はステージ 1 2 の 8 個の各ステージに対応するバスの最後の有効記号の MUX 出力に結合される多数決投票ユニットにより獲得される。最も可能性の高いバスから獲得される最適な最終決定に比較して、多数決投票はせいぜい次善である。なぜなら、理想的には、全てのバスが最後のステージにおいて併合されるからである。一般に、最終決定は異なる手段、例えば最終決定の任意の 1 つを捨てることにより獲得される (ウェッジ決定 (wedge decisions) と呼ばれる)。生成された多数決投票は、多数決投票ユニットの出力に接続されるボストコーダに供給される。1 対のラッ奇及び排他的論理と 8 0 を含むボストコーダが、後符号化決定を提供する。

【0044】E P R 4 ビタビ検出器 1 6 の実現のために、新規の変更メトリック関数が提供される。E P R 4 の場合のような D C におけるスペクトル・スル或者是 0 周波数のチャネルでは、M L S D は変更メトリック関数を最小化することに等価である。E P R 4 では、この変更メトリックは次の形式を取る。

【数 6】

$$J^* = \min_{\{a'_s\}} \sum_i [y_i^{E P M} + c - x'_s((a'_s))]^2 \quad (1)$$

【0045】ここで、 $y_i^{E P M}$ はノイズが加わった E P R 4 サンプルであり、C は実定数であり、 $x'_s((a'_s))$ は仮のノイズの無いチャネル出力サンプルであり、次式で与えられる。

【数 7】

$$\begin{aligned} & \text{※ } J^* = \min_{\{a'_s\}} \sum_i \delta_s((a'_s)) \\ & \quad (a'_s) \end{aligned} \quad (3)$$

【0047】ここで、

【数 9】

$$[y_i^{E P M} + C] + [i', ((a'_s))] \quad ?$$

ここで $y_i^{E P M} = x_i^{E P M} + n_i$ はノイズ性の E P R 4 サンプルであり、 n_i はノイズ・サンプルである。 s' 及び a'_s はそれぞれ現在及び次のステートである。A = 1/4 の時の、表 2 に対応するトレリスが図 9 に示される。

【表 2】

表2 EPR4における変更分岐メトリック

s'_{k-r}	s'_{k-r-1}	s'_{k-1}	x_k	δ/κ	s'_k	s'_{k+1}
-1 -1 -1	-1	0		0	0	0
-1 -1 -1	+1	+2	- $(y_k^{pm} + c) + 1$	0	0	4
+1 -1 -1	-1	-2	+ $(y_k^{pm} + c) + 1$	1	1	0
+1 -1 -1	+1	0		0	1	4
-1 +1 -1	-1	-2	+ $(y_k^{pm} + c) + 1$	2	1	
-1 +1 -1	+1	0		0	2	5
+1 +1 -1	-1	-4	+2 $(y_k^{pm} + c) + 4$	3	1	
+1 +1 -1	+1	-2	+ $(y_k^{pm} + c) + 1$	3	5	
-1 -1 +1	-1	+2	- $(y_k^{pm} + c) + 1$	4	2	
-1 -1 +1	+1	+4	-2 $(y_k^{pm} + c) + 4$	4	6	
+1 -1 +1	-1	0		0	5	2
+1 -1 +1	+1	+2	- $(y_k^{pm} + c) + 1$	5	6	
-1 +1 +1	-1	0		0	6	3
-1 +1 +1	+1	+2	- $(y_k^{pm} + c) + 1$	6	7	
+1 +1 +1	-1	-2	+ $(y_k^{pm} + c) + 1$	7	3	
+1 +1 +1	+1	0		0	7	7

【0050】図9のトレリスは、変更分岐メトリックを下記の(5)式の関係に従い、ノードを概略横断してシフトすることにより変形される。

【数10】

$$\min[(u+c), (v+c)] = \min[u, v] + c \quad (5)$$

【0051】上記(5)式は最大化に対しても類似である。例えば、所与の技術におけるオペレーションの最小数または最も有望なスピードに対する最適化の基準に依存して、特定の目的に合った様々なトレリス変形が獲得される。

【0052】図10は、図9のトレリスと比較される変形トレリスを示し、分岐メトリック内に現れる数量は、受信されるEPR4サンプルに關して、それぞれ次のように計算される。

$$[数11] Z_k = y_{k+1}^{pm} + 2y_k^{pm} + y_{k-1}^{pm} \quad (6)$$

及び

$$0_k = -Z_k + 4 \quad (7)$$

【0053】なおここで、C=-1を使用した。ここ

で、変更メトリック数式(1)における0でない定数Cの導入は、従来C=0の場合に必要であった定数+2を Z_k へ加算する必要性を排除する。また方程式(7)において定数2の代わりに4を加算することは実施が容易である。ここで具体化を容易にするために、任意の定数を Z_k へ加算することが可能である。実際の大規模集積回路(VLSI)設計では、オフセット2進演算の具体化を容易にするために、この特性を利用する。EPRML検出器16を反映するために、受信されたEPR4サンプル y^{pm} は、受信されたEPR4サンプルに関して表現してきた。すなわち、式(6)を微分すると、 $y^{pm} = y_{k+1}^{pm} + y_{k-1}^{pm}$ が得られる。

【0054】図10は、EPRML検出器を具体化し、更に複数のアドレスの幾つかの具体化を容易にするため必要な加算の数を減らすため、新たな変更メトリック技術を表す。

【0055】図11は、サイズ、電力の低減及びスピードの向上を可能にするEPRMLビタビ検出器16の新

たな具体化を表す。メトリック制限は既知の母数メトリック加算技術により達成される。図8は、図10に示されるトレリスから直接導出される加算一比較一選択(ACS)ユニットを示し、図7及び図8に示される対応するサバイバ・バス・メモリを有する。8個の8ビット・レジスタJ0乃至J7は、図10に示されるトレリス内のドットに対応するメトリックを表す。各JレジスタはA>B比較器及び2対1選択用マルチプレクサに結合される。+で示される加算器ブロックは、図10で示されるZ_i及びQ_iの項の加算を提供する。図11の破線部分は、定数加算、比較(加算に等価)、選択(2対1マルチプレクサ)、更に別記の加算及びラッチ・オペレーションを含む典型的な最悪延延パスを示す。従って、図10の変形トレリスは、計算量及び実行オペレーション数の点では最小であるが、1クロックにつき高々1回の全加算(または比較)及び1回のマルチプレクサ・オペレーションの実行が可能なVLSI技術においては、現実的ではない。

【0056】図12は、單一のクロック・サイクル内に実行されなければならない計算を低減する方法を提供する、新たな状態分割技術を表す。スピード問題は、更に次に示すような状態分割技術を導入して、図10のトレリスを変形することにより解決される。第1に、全ての0でない分岐メトリックのステートが分割される。第2に、0でない分岐メトリックにより示されるこれらのステート遷移または分岐が、所与の分割ステートからの全ての残りの遷移が同一の分岐メトリックを有するように再編成される。第3に、上記関係(5)が2度適用される。このプロセッシャは図12に示される拡張トレリス構造を提供し、白抜きの円で示される追加のノードは、開闊するメトリックの擬似ステートと見なされる。この方法の複雑度における交換スピードが、拡張EPR4トレリスとなり、高連化の実現にはより好適である。VLSI回路の具体化は、図12のこの拡張EPR4トレリスを直接的に基礎とする。

【0057】より高速のVLSI技術が使用可能であれば、図12の拡張トレリスを導く幾つかの変形ステップが、複雑度を低減するために元の状態に戻される。理想的には、図10のトレリスが直接具体化されるべきである。

【0058】更に、式(7)から、Q_i+Z_i=4が得られる。シミュレーションの研究によれば、式(7)内の定数4がより小さな値、例えば3、7.5により置換されれば、エラー率性能の点で有利であることがわかっている。従って、式(7)は次式に示すように、任意選択的に変更可能である。

$$[枚12] Q_i + Z_i = 4 - \alpha, 0 \leq \alpha < 1 \quad (8)$$

【0059】ここで、 α の現実的な値は0.25である。

【0060】図13は、PR4検出器を提供するように

変形された図10のEPR4トレリス遷移図を表す。図13の変形トレリスでは、分岐メトリックが受信PR4サンプルに関して次のように計算される。

$$[数13] Z_i = \eta^{i+1} \quad (9)$$

及び

$$Q_i = -Z_i + 2 \quad (10)$$

【0061】図11のEPRML検出器は、図13に示されるトレリスに対応するPRML検出器を提供するよう変更される。EPRML検出器の場合と同じSPMがPRML検出器にしても使用され、トレリスだけが変更される。ここで、図13の変形トレリスは、単独で生成される場合には、PRML検出器の好適な具体化ではないことが理解されよう。

【0062】本発明は特定の実施例の詳細に関連して述べられてきたが、これらの詳細は本発明の範囲を制限するものではないことを述べておく。

【0063】まとめとして、本発明の構成に関する以下の事項を開示する。

【0064】(1) デジタル・サンプルを提供するアナロゴ/デジタル変換器(ADC)に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含むバーシャル・レスポンス(PR)・データ・チャネルにおける最尤データ検出方法であって、前記ADCから複数のデジタル・サンプルを受信するステップと、前記受信デジタル・サンプルを選択された第1のフィルタに供給するステップと、前記受信デジタル・サンプルを選択された第1のフィルタに供給するステップと、前記受信デジタル・サンプルを選択された第2のフィルタに供給するステップと、前記第1のフィルタを通過したデジタル・サンプルを第1のデータ検出器に供給するステップと、前記第2のフィルタを通過したデジタル・サンプルを第2のデータ検出器に供給するステップと、所定のパラメータを識別するステップと、前記識別された所定のパラメータに応答して、前記第1及び前記第2のデータ検出器の少なくとも1つを選択するステップと、を含む、最尤データ検出方法。

(2) 前記受信デジタル・サンプルを前記第1の選択フィルタに供給する前記ステップが、前記受信デジタル・サンプルをクラスIVバーシャル・レスポンス(PR4)・サンプルを提供するデジタル・フィルタに供給するステップを含み、前記受信デジタル・サンプルを前記第2の選択フィルタに供給する前記ステップが、前記PR4サンプルを拡張(EPR4)サンプルを提供する1+Dフィルタに供給するステップを含む、前記(1)記載の最尤データ検出方法。

(3) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記PR4サンプルをPR4ビタ比検出器に供給するステップを含む、前記(2)記載の最尤データ検出方法。

(4) 前記第2のフィルタを通過したデジタル・サンプルを前記第2のデータ検出器に供給する前記ステップ

19
が、前記EPR4サンプルをEPR4ビタビ検出器に供給するステップを含む、前記(2)記載の最尤データ検出方法。

(5) 前記受信デジタル・サンプルを前記第1の選択フィルタに供給する前記ステップが、前記受信デジタル・サンプルをバーシャル・レスポンス(PR)型フィルタに供給するステップを含む、前記(1)記載の最尤データ検出方法。

(6) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記PR型フィルタを通過したサンプルをPRビタビ検出器に供給するステップを含む、前記(5)記載の最尤データ検出方法。

(7) 前記受信デジタル・サンプルを前記第1の選択フィルタに供給する前記ステップが、前記受信デジタル・サンプルをホワイトノイズ化フィルタに供給するステップを含む、前記(1)記載の最尤データ検出方法。

(8) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記ホワイトノイズ化フィルタを通過したサンプルをフル・ステート・ビタビ検出器に供給するステップを含む、前記(7)記載の最尤データ検出方法。

(9) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記ホワイトノイズ化フィルタを通過したサンプルを状態低減化ビタビ検出器に供給するステップを含む、前記(7)記載の最尤データ検出方法。

(10) 前記受信デジタル・サンプルを前記第1の選択フィルタに供給する前記ステップが、前記受信デジタル・サンプルを前記フィルタに供給するステップを含む、前記(1)記載の最尤データ検出方法。

(11) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記前処理フィルタを通過したサンプルを適応ビタビ検出器に供給するステップを含む、前記(10)記載の最尤データ検出方法。

(12) 前記所定のパラメータを識別する前記ステップが、前記ディスクのゾーンを識別するステップを含み、前記識別された所定のパラメータに応答して、前記第1及び前記第2のデータ検出器の少なくとも1つを選択する前記ステップが、各ヘッド及び半径の組合せに応答して、EPRMLデータ検出器を選択するステップと、PRMLデータ検出器を選択するステップとを含む、前記(1)記載の最尤データ検出方法。

(13) 前記所定のパラメータを識別する前記ステップが、信号解析を識別するステップを含む、前記(1)記載の最尤データ検出方法。

(14) デジタル・サンプルを提供するアナログ・デジタル変換器(ADC)に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含むデジタル・

データ・チャネルにおけるデータ検出装置であって、前記ADCに結合され、前記ADCから複数のデジタル・サンプルを受信し、フィルタリングする第1のフィルタと、前記ADCに結合され、前記ADCから複数のデジタル・サンプルを受信し、フィルタリングする第2のフィルタと、前記第1のフィルタに結合され、前記第1のフィルタを通過したサンプルを受信する第1のデータ検出器と、前記第2のフィルタに結合され、前記第2のフィルタを通過したサンプルを受信する第2のデータ検出器と、所定のパラメータを識別する手段と、前記所定のパラメータに応答して、前記第1及び前記第2のデータ検出器の少なくとも1つを選択する手段と、を含むデータ検出装置。

(15) 前記第1のデータ検出器が拡張クラス1Vバーシャル・レスポンス(EPR4)・ビタビ検出器を含む、前記(14)記載のデータ検出装置。

(16) 前記第1のデータ検出器がバーシャル・レスポンス・クラス1V(PR4)・ビタビ検出器を含む、前記(14)記載のデータ検出装置。

(17) 前記第2のデータ検出器が拡張クラス1Vバーシャル・レスポンス(EPR4)・ビタビ検出器を含む、前記(16)記載のデータ検出装置。

(18) 前記第1のデータ検出器がバーシャル・レスポンス・ビタビ検出器を含む、前記(14)記載のデータ検出装置。

(19) 前記第1のデータ検出器が適応ビタビ検出器を含む、前記(14)記載のデータ検出装置。

(20) 前記第1のデータ検出器がフル・ステート・ビタビ検出器を含む、前記(14)記載のデータ検出装置。

(21) 前記第1のデータ検出器が状態低減化ビタビ検出器を含む、前記(14)記載のデータ検出装置。

(22) 前記第1のデータ検出器が、

【数14】

$$J^* = \min_{\{a_k^*\}} \sum \delta_k(\{a_k^*\})$$

で表される変更メトリック関数の拡張クラス1Vバーシャル・レスポンス(EPR4)・ビタビ検出器の具体化を含み、ここで、

$$[\text{数15}] \delta_k(\{a_k^*\}) = k(-2x^k - (\{a_k^*\})^{-k}y^{k+1} + [x^k(\{a_k^*\})]^{-k})$$

であり、 y^{k+1} はノイズ性のEPR4サンプルであり、 x^k は実定数であり、 $x^k - (\{a_k^*\})$ は、

$$[\text{数16}] x^k - (\{a_k^*\}) = a^k x^{k-1} - a^{k-1} x^{k-2} - \dots - a^1 x + 1$$

で与えられる仮のノイズの無いチャネル出力サンプルである、前記(14)記載のデータ検出装置。

(23) 分岐メトリックが受信PR4サンプルに関しして、

21

$$【数17】 Z_k = y_{k+1}^{PERI} + 2y_k^{PERI} + y_{k-1}^{PERI}$$

で表現され、

$$【数18】 Q_k = -Z_k + (4-\alpha)$$

であり、 $0 \leq \alpha < 1$ 、 $C = -1$ 及び $y_k^{PERI} = y_{k+1}^{PERI} + y_{k-1}^{PERI}$ である、前記(22)記載のデータ検出装置。

【0065】

【発明の効果】以上説明したように、本発明によれば、従来構成の多くの欠点を克服するデータ検出方法及び装置を提供することができる。

【図面の簡単な説明】

【図1】バーシャル・レスポンス・クラス4 (PR4) にもとづくバーシャル・レスポンス最尤 (PRML) チャネルのパルス応答を表すグラフである。

【図2】拡張バーシャル・レスポンス・クラス4 (EP4) にもとづくバーシャル・レスポンス最尤 (PRML) チャネルのパルス応答を表すグラフである。

【図3】本発明による拡張バーシャル・レスポンス最尤 (EP RML) チャネルとPRMLチャネルの組合せを表すブロック図である。

【図4】本発明による拡張バーシャル・レスポンス最尤 (EP RML) チャネルとPRMLチャネルの組合せを表すブロック図である。

【図5】本発明の別の柔軟なチャネル・アーキテクチャのブロック図である。

【図6】本発明のデータ検出方法による順次データ検出ステップを表す流れ図である。

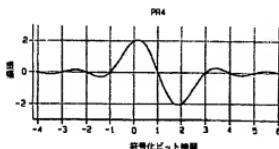
【図7】EP4ビタビ検出器構成のサバイバ・バス・メモリを表す図である。

【図8】EP4ビタビ検出器構成のサバイバ・バス・メモリを表す図である。

【図9】 $A = 1/4$ 、 $Y_k = Y_{k+1}^{PERI}$ 及び C が実定数である変更メトリック計算による8状態EP4トレス遷移図である。

【図10】 $A = 1/4$ 及び $C = -1$ による変更メトリック計算による変形8状態EP4トレス遷移図である。

【図1】



22

【図11】本発明による図10のトレスから直接導出されるEP4ビタビ検出器の加算、比較及び選択 (ACS) 計算回路を表す図である。

【図12】高速化を可能にする第2の別の変形及び拡張EP4トレス遷移図である。

【図13】PR4検出器として変形された図10のEP4トレス遷移図である。

【符号の説明】

10 10 バーシャル・レスポンス記録チャネル

10 12 符号器

10 14 PR4ビタビ検出器

10 16 EP4ビタビ検出器

10 18 フィルタ回路

10 20 マルチブレクサ

10 24 シリアライザ

10 26 プロコード

10 28 PRML前比較

10 30 書込みトリガ回路

10 36 可変利得増幅器 (VGA)

10 38 ローパス・フィルタ

10 40 アナログ・デジタル変換器 (ADC)

10 42 タイミング回復及び利得制御

10 44 デジタル・フィルタ

10 46 復号器

10 50 ポストコーダ

10 52 並列化機構

10 54 遅延

10 56 排他的論理和 (XOR)

10 60 セレクタ

30 62 PR型フィルタ

64 PRビタビ検出器

66 ホワイトノイズ化フィルタ

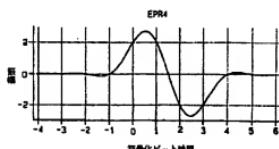
68 フル・スタート・ビタビ検出器

70 状態低減化ビタビ検出器

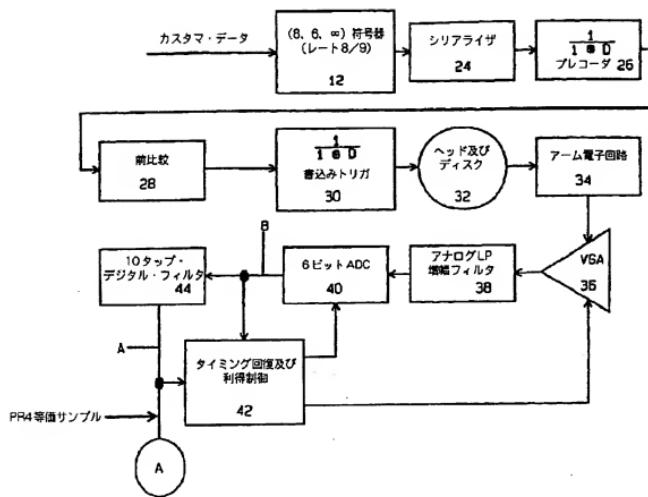
72 前処理フィルタ

74 適応ビタビ検出器

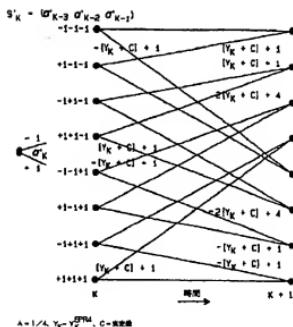
【図2】



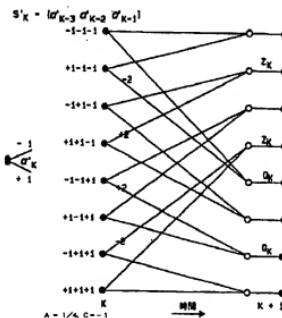
【図3】



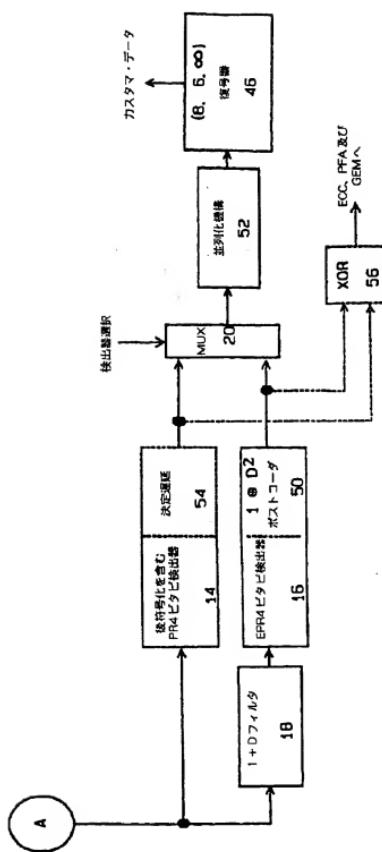
【図9】



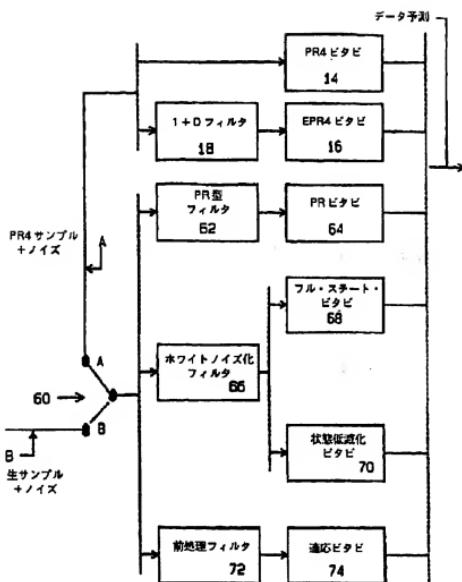
【図10】



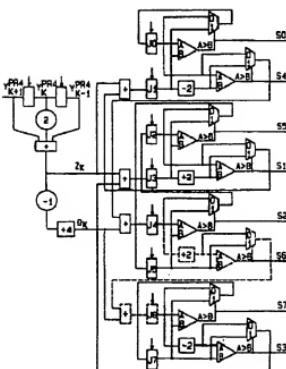
【図 4】



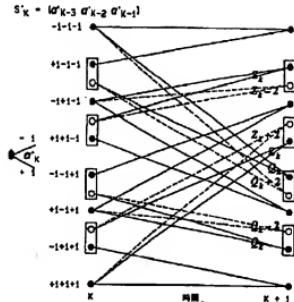
[図5]



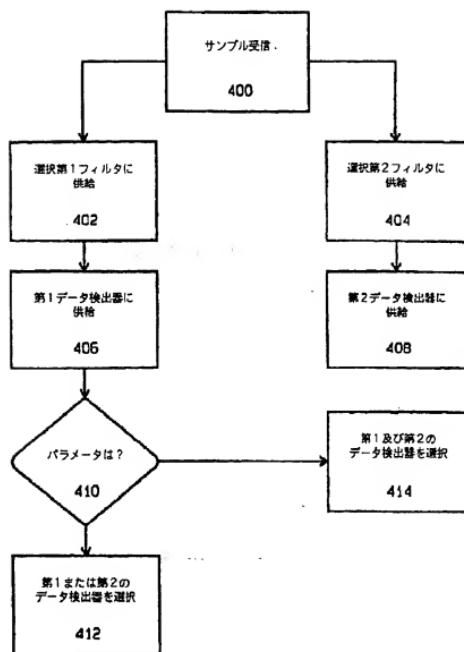
[図11]



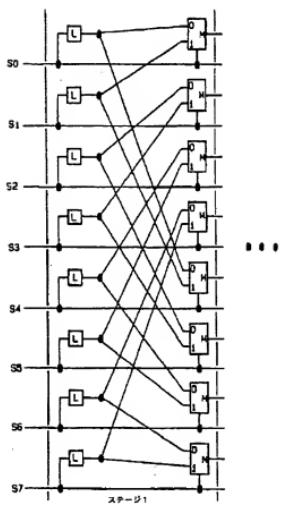
[図12]



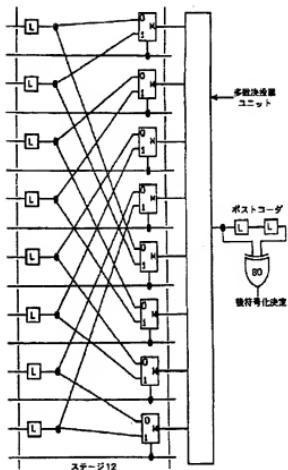
【図6】



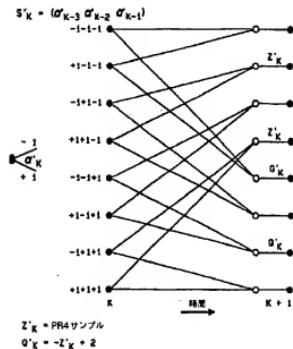
【図 7】



【図 8】



【図 13】



フロントページの続き

(72) 発明者	フランコイ・バーナード・ドリボ スイス、シイ・エイチ-8820 ウェイデ ンスヴィル、アントレ・ウェイドストラ ッセ 14	(56) 参考文献	特開 平4-221464 (JP, A) 特開 平3-8173 (JP, A) 特開 平1-256850 (JP, A) 特開 平7-51394 (JP, A) 特開 平7-29320 (JP, A) 特開 平6-232921 (JP, A) 特開 平6-139700 (JP, A) 特開 平5-274811 (JP, A) 特開 平5-175915 (JP, A) 特開 平4-182968 (JP, A) 特開 平2-230822 (JP, A) 特開 平2-226981 (JP, A) 特開 昭58-181162 (JP, A) 特開 昭61-108226 (JP, A) 電子情報通信学会論文誌C-I I, V OL. J15-C-I I, NO. 11, 三田 誠一「磁気ディスク用信号処理技術の最 近の話題」P.P. 611-623
(72) 発明者	リチャード・レオ・ガルブレイス アメリカ合衆国55901、ミネソタ州ロチ エスター、フィフィティ・セカンド・スト リート・ノース・ウエスト 2232		IEICE TRANS. COMMU N., VOL. E76-B, NO. 6 (J UNE 1993) CARLOS VALD EZ ET AL. " ERROR PRO BABILIT Y ANALYSIS IN REDUCED STATE V ITERBI DECODING. " P P. 667-676
(72) 発明者	レト・ジェイ・ハーマン スイス、8863 バチコン、ビュエルスト ラッセ 5		電子情報通信学会技術研究報告、VO L. #2, NO. 213 (SEPT. 1992) 無線通信システム (RCS) RCS #2- 66、久保博嗣他「高速フェージングに適 した等化と復号を ATED CMOS MIXED-MODE SIGNAL PROCESSOR FOR DISK DRIVE READ CHANNEL APPLICATIONS. " P P. 1-11
(72) 発明者	ウォルター・ヒート スイス、シイ・エイチ-8907、ウェツツ ヴィル、エイ/エイ、ヒンダーウエイド ストラッセ 29		
(72) 発明者	ケビン・バンノースデル アメリカ合衆国95118、カリフォルニア 州サン・ホセ、ナンバー-4、ジョブリ ン・ドライブ 1329		